

一种多层平面电感设计的全局优化方法

李清华, 邵志标, 耿莉

(西安交通大学电子与信息工程学院, 710049, 西安)

摘要: 为多层平面电感设计提出了一种全局优化方法. 该方法在给出等效物理模型的基础上, 以获得最大品质因数为设计目标, 以工作频率、单位面积电感值、电感线圈的电流承受能力为约束条件, 将优化问题表示为平面电感器结构参数的正项式函数, 即将优化问题便捷地转换为几何规划, 使之在不同条件下均可快速获得优化结果. 采用全局优化方法设计的电感器芯片的测试数据表明, 在给定的约束条件下, 单位面积电感值大于 80 mH/m^2 , 金属条宽度大于 $10 \mu\text{m}$, 频段范围 $50 \sim 400 \text{ MHz}$, 优化得到的品质因数与测试结果的最大误差在 10% 以内.

关键词: 多层平面电感; 全局优化; 品质因数

中图分类号: TN4 **文献标识码:** A **文章编号:** 0253-987X(2007)06-0665-04

Global Optimization Method of the Design for Multi-Layer Planar Inductors

Li Qinghua, Shao Zhibiao, Geng Li

(School of Electronics and Information Engineering, Xi'an Jiaotong University, Xi'an 710049, China)

Abstract: A global optimization method is presented to optimize the multi-layer planar inductors. The essential idea of the algorithm is as follows. Based on the proposed physical model, acquiring the maximum quality factor is considered as design objective, and frequency, inductance in unit area and current handling capability are regarded as constraints, hence the designed problem is formulized as the posynomial functions of the physical dimensions of inductors, i. e. the optimum problem can be equivalent to geometric programming so as to quickly obtain optimization result under different conditions. From the measurement results of the inductors designed by the method, the maximum error between the measured quality factor and the optimized results is less than 10% under the restrictions where the inductance in unit area is greater than 80 mH per square meter, metal width is no less than 10 millimeter and frequency band is $50\text{-}400 \text{ MHz}$.

Keywords: multi-layer planar inductor; global optimization; quality factor

片上平面螺旋电感器的几何尺寸与工作频率直接影响品质因数(Q)的大小, 同时在一些应用中对平面电感器所占面积以及所能承受的电流也有一定要求, 因此设计者应根据具体的设计要求对平面电感的几何尺寸进行优化, 从而在应用条件下获得最优的 Q 值. 若采用一般的局部优化方法, 一方面计算工作量大, 另一方面当约束条件变化时, 必须重新计算, 缺乏可重复性^[1].

为克服上述不足, 本文应用几何规划(Geomet-

ric Programming, GP)全局优化方法对多层平面集成电感器进行设计优化, 以我们在 DC/DC 转换器中所设计的混联多层平面电感^[2]为例进行了优化处理和验证, 避免了一般局部优化反复计算和精确度较低的缺陷.

1 几何规划

设 $x_1, x_2, \dots, x_n$ 是 n 个正实变量, $\mathbf{x} = [x_1, x_2, \dots, x_n]$ 是元素为 x_i 的向量. 具有如下形式的 $\mathbf{x}$ 的实

数值函数

$g(x_1, \dots, x_n) = cx_1^{m_1} x_2^{m_2} \dots x_n^{m_n}$, $c > 0$, $m_i \in \mathbf{R}$ 被称为单项式函数或单项式. 一个或多个单项式之和构成正项式, 正项式具有如下形式

$$f(\mathbf{x}) = \sum_{i=1}^K c_i x_1^{m_{1i}} x_2^{m_{2i}} \dots x_n^{m_{ni}}, \quad c_i > 0 \quad (1)$$

GP 就是具有以下标准形式的优化问题^[3], 其目标函数 $\min f_0(\mathbf{x})$ 的约束条件

$$\begin{cases} f_i(\mathbf{x}) \leq 1, i = 1, \dots, q \\ g_i(\mathbf{x}) = 1, i = 1, \dots, p \end{cases} \quad (2)$$

式中: f_i 为正项式函数; g_i 为单项式函数; $\mathbf{x}$ 为优化变量.

2 混联多层平面电感模型及 GP 表示

针对标准 CMOS 工艺中最上层金属与其他层金属厚度不同的特点, 我们设计了串-并联结构的混联多层螺旋线圈, 如图 1 所示^[2]. 同时图 2 给出了图 1 结构的 3 层线圈的集总等效电路模型, 各参数的详细表达式如下^[2].

(1) 总电感值

$$L_s = L_{s3} + L_{s12} + 2M_{23} \quad (3)$$

$$L_{sm} = \beta d_{\text{out}}^{\alpha_1} w^{\alpha_2} d_{\text{avg}}^{\alpha_3} n^{\alpha_4} s^{\alpha_5}, \quad m = 1, 2, 3 \quad (4)$$

式中: $L_{s12} = L_{s1} = L_{s2}$ 为 M2-M1 并联线圈的电感值; $d_{\text{avg}} = 0.5(d_{\text{out}} + d_{\text{in}})$ 为平均直径; d_{in} 为线圈内直径; d_{out} 为线圈外直径; w 为金属条宽度; n 为线圈匝数; s 为金属条之间空隙; α, β 为拟合系数, 在方形平面电感中, 各拟合系数分别为 $\beta = 0.001\ 62$, $\alpha_1 = -1.21$, $\alpha_2 = -0.147$, $\alpha_3 = 2.40$, $\alpha_4 = 1.78$, $\alpha_5 = -0.03$ ^[4].

(2) 总寄生电阻

$$R_s = R_{s3} + R_{s12} = \frac{2\rho l}{w\delta} \left[1 / \left(1 - \exp\left(-\frac{t_3}{\delta}\right) \right) + 1 / \left(1 - \exp\left(-\frac{(t_1 + t_2)}{\delta}\right) \right) \right] \quad (5)$$

式中: $R_{s12} = R_{s1} R_{s2} / (R_{s1} + R_{s2})$ 为 M2-M1 并联线圈的寄生电阻; ρ 为金属电阻率; l 为每单层线圈的金属线总长度; δ 为趋肤深度; t_1, t_2, t_3 分别为 1、2、3 层金属的平均厚度.

(3) 线圈的串联寄生电容和金属层 M1 同衬底之间的寄生电容分别为

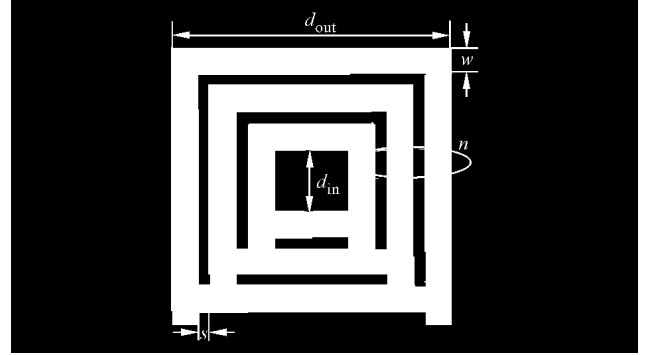
$$C_s = kw\epsilon_{\text{ox}}/t_{\text{ox},1} \quad (6)$$

$$C_{\text{ox}} = kw\epsilon_{\text{ox}}/t_{\text{ox},2} \quad (7)$$

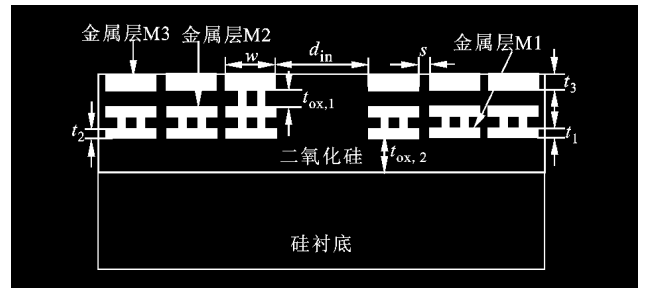
式中: ϵ_{ox} 为介质二氧化硅的介电常数; $t_{\text{ox},1}, t_{\text{ox},2}$ 分别为两层金属之间和第 1 层金属同硅衬底之间的二氧

化硅厚度.

在图 2 等效电路模型的基础上, 对混联平面螺旋电感进行 GP 优化, 各参数的 GP 表达式的确定如下所述.



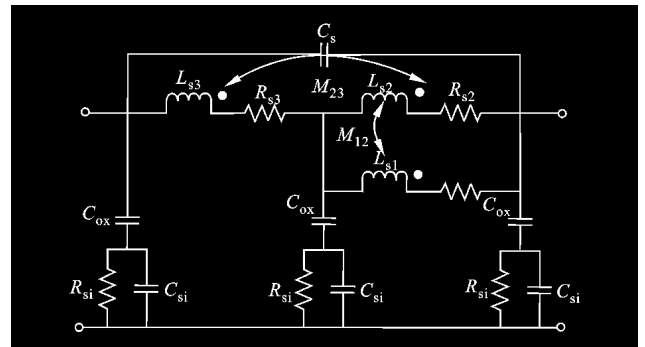
(a) 顶视图



(b) 截面图

d_{in} 为线圈内直径; d_{out} 为线圈外直径; w 为金属条宽度; s 为金属条之间空隙; n 为线圈匝数; t_1, t_2, t_3 分别为第 1、2、3 层金属的平均厚度; $t_{\text{ox},1}, t_{\text{ox},2}$ 分别为两层金属之间、第 1 层金属同硅衬底之间的二氧化硅厚度

图 1 3 层串-并联结构方形平面螺旋电感示意图



L_{s1}, L_{s2}, L_{s3} 分别为第 1、2、3 层线圈的自感; R_{s1}, R_{s2}, R_{s3} 分别为第 1、2、3 层线圈的寄生电阻; C_s 为第 3 层线圈与并联的第 1、2 层线圈之间的寄生电容; M_{23} 为第 2、3 层线圈之间的互感; M_{12} 为第 1、2 层线圈之间的互感; C_{ox} 为第 1 层线圈与衬底间的寄生电容; R_{s1}, C_{s1} 分别为硅衬底的寄生电阻与寄生电容

图 2 3 层串-并联结构方形平面螺旋电感的等效集总电路模型

在优化计算中,为方便起见,可以令 $d_{\text{out}}=x_1$, $w=x_2$, $d_{\text{avg}}=x_3$, $n=x_4$, $s=x_5$, $f_s=x_6$ (f_s 为工作频率).

在电感值的 GP 表达式中, $M_{23} = 2k(L_{s3} \cdot L_{s12})^{1/2}$, k 为耦合系数,则电感值的表达式仍为正项式

$$L_s = 2(1+k)\beta x_1^{\alpha_1} x_2^{\alpha_2} x_3^{\alpha_3} x_4^{\alpha_4} x_5^{\alpha_5} \quad (8)$$

串联寄生电阻的 GP 表达式为单项式

$$R_s = K_1 x_2^{-1} x_3 x_4 \quad (9)$$

$$K_1 = \frac{8\rho}{\delta} \left[1 / \left(1 - \exp\left(-\frac{t_3}{\delta}\right) \right) + 1 / \left(1 - \exp\left(-\frac{(t_1+t_2)}{\delta}\right) \right) \right]$$

C_s 与 C_{ox} 的 GP 表达式也同为单项式

$$C_s = K_2 x_2 x_3 x_4, \quad K_2 = \frac{4\epsilon_{\text{ox}}}{t_{\text{ox},1}} \quad (10)$$

$$C_{\text{ox}} = K_3 x_2 x_3 x_4, \quad K_3 = \frac{4\epsilon_{\text{ox}}}{t_{\text{ox},2}} \quad (11)$$

3 GP 优化的约束与规范

3.1 目标函数——品质因数

品质因数定义为一个周期中磁场能峰值同电场能峰值之差与所损失能量的比值. 由于 DC/DC 转换器中电感的工作频率在 50~400 MHz, 此时硅衬底的寄生效应对 Q 值影响很低, 基本可以忽略^[5], 则等效串联电容^[6]为

$$C_{\text{eq}} = \frac{1}{12}(4C_s + C_{\text{ox}}) \quad (12)$$

所以品质因数的表达式为

$$Q = \frac{\omega L_s}{R_s} \left(1 - \frac{R_s^2 C_{\text{eq}}}{L_s} - \omega^2 L_s C_{\text{eq}} \right) \quad (13)$$

显然式(13)为符号式, 而不是 GP 优化中的一个标准正项式. 如果不作任何变化直接解, 一方面较难有效得到全局解, 另一方面有很高的计算量, 所以在此工作中采用如下变换方式: 引入一个品质因数最小值 Q_{min} , 即 ($Q \geq Q_{\text{min}}$), 由此可以得到优化变量与 Q_{min} 的正项式不等式

$$\frac{Q_{\text{min}} R_s}{\omega L_s} + \frac{R_s^2 C_{\text{eq}}}{L_s} + \omega^2 L_s C_{\text{eq}} \leq 1 \quad (14)$$

可以指定一个品质因数最小值, 然后通过解出 Q_{min} 的最大值从而得到 Q 的最大值^[7].

3.2 L_s, R_s, C_{eq} 的相关约束

通常都是求特定电感值 ($L_{s, \text{req}}$) 对应的最大品质因数, 所以有以下单项式约束

$$L_s = L_{s, \text{req}} \quad (15)$$

而寄生电阻与寄生电容的约束可以视平面电感器的应用场合而定, 如 $R_{s, \text{min}} < R_s < R_{s, \text{max}}$.

3.3 几何尺寸的约束

几何尺寸 w, s 一方面受限于所用工艺的最小特征尺寸, 另一方面还受限于所应用电路的电气参数, 比如流过电感线圈的电流大小直接影响着金属线条宽度 w 的大小, 所以有单项式不等式 $w \geq w_{\text{min}}$, $s \geq s_{\text{min}}$. 此外, 在 Si 衬底 CMOS 工艺中面积 A 与成本成正比, 所以面积也是一个重要的尺寸约束, $d_{\text{out}}^2 \leq A_{\text{max}}$, 其中 $d_{\text{out}} = d_{\text{avg}} + n w + (n-1)s$.

4 优化与测试结果

电感器优化设计的 GP 形式如下:

目标函数 $\min(1/Q_{\text{min}})$

约束函数

$$\left. \begin{aligned} L_s &= L_{s, \text{req}} \\ w_{\text{min}} &\leq w \\ s_{\text{min}} &\leq s, d_{\text{out}}^2 \leq A_{\text{max}} \end{aligned} \right\} \quad (16)$$

约束条件可以随应用环境的变化有所改变.

本文针对 DC/DC 转换器中的电感器需要, 在 50~400 MHz 内对 10~40 nH 的多层混联平面螺旋电感器进行了优化. 电感器均采用 CSMC CMOS 0.5 μm 2P3M 硅基工艺生产. 测试工具为 Anritsu MS4622B 矢量网络分析系统. 应用了焊盘的短路以及开路去嵌入结构来消除焊盘的寄生效应.

图 3 为没有面积约束条件时和加上面积约束条件后不同电感值对应的最大品质因数比较. 主要约束条件为: $s \geq 2 \mu\text{m}$, $w \geq 10 \mu\text{m}$, 单位面积内电感值 $L_{\text{unit}} = (L_{s, \text{req}} / d_{\text{out}}^2) \geq 80 \text{ mH/m}^2$. 由图 3 可知, 随着电感值的增大, 其对应的最大品质因数值减小. 这主要是因为电感值增大后, 构成其线圈的几何参数如金属线长度 l 、宽度 w 等均需相应的增大才能实现所需的电感值, 但是几何尺寸的增大也同时增大了寄生电阻与寄生电容, 所以品质因数的最大值会随着电感值的上升而下降. 不加面积约束时电感器的 Q_{max} 值可以比加面积约束时有所提高, 但是此品质因数的提高是以单位面积电感值的大幅下降为代价的, 如图 4 所示. 以 10 nH 电感为例, 不加面积约束时的 Q_{max} 值比加面积约束时提高 14%, 但是加了面积约束的单位面积电感值是不加面积约束的 2.2 倍.

图 5 为不同电感器品质因数同工作频率的关系. 在上述约束条件下, 优化结果与测试结果的最大

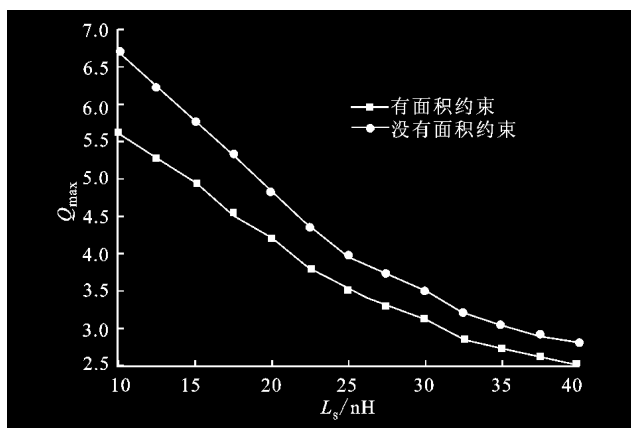


图3 不同电感值对应的品质因数最大值

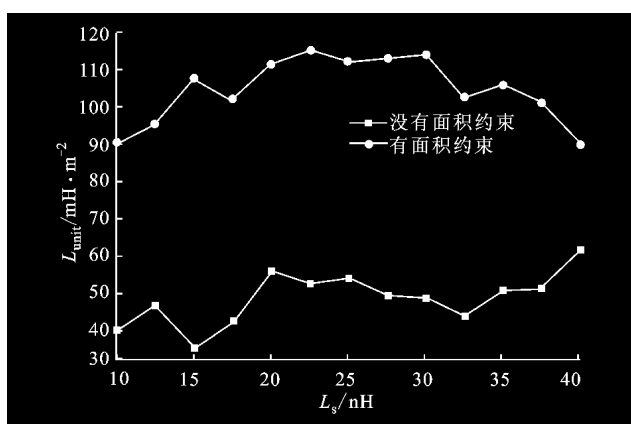


图4 不同电感值对应的单位面积电感值

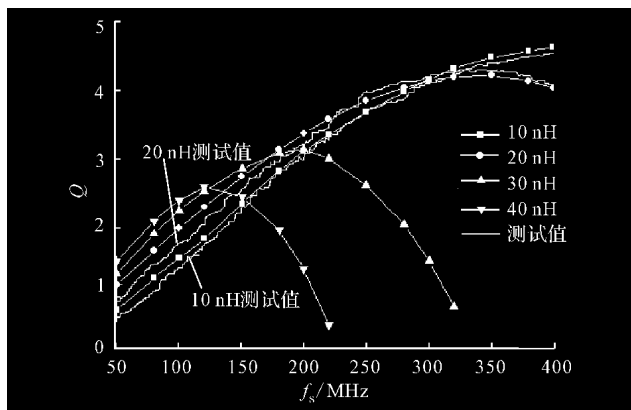


图5 品质因数与频率之间的关系

误差可以控制在 10% 以内。

5 结 论

本文采用几何规划方法对应用于 CMOS 完全

集成 DC/DC 转换器的多层混联平面螺旋电感器进行了全局优化。本文全局优化方法可以针对不同的应用背景为优化对象施加约束条件,既可以高效地计算各种应用条件下的最优值,又避免了重复计算。优化了 50~400 MHz 频率范围内的 10~40 nH 电感的品质因数,结果表明,在单位面积内电感值 $L_{\text{unit}} \geq 80 \text{ mH/m}^2$ 、金属条宽 $w \geq 10 \mu\text{m}$ 的约束条件下,优化结果与测试结果的最大误差可以控制在 10% 以内。本文优化方法对片上集成电感器参数的最优选择提供了一种有效途径。

参考文献:

- [1] Li Qinghua, Geng Li, Shao Zhibiao. Optimum double-layer spiral inductor on silicon substrate designed for monolithic buck converters [C]// Proc of 17th Asia-Pacific Microwave Conference. Piscataway, USA: IEEE, 2005: 2156-2159.
- [2] 李清华, 邵志标, 耿莉. 硅基完全集成 DC/DC 转换器中多层平面电感设计与建模[J]. 西安交通大学学报, 2007, 41 (4): 463-466.
Li Qinghua, Shao Zhibiao, Geng Li. Design and modeling of multi-layer planar inductor for fully integrated DC/DC converters on silicon substrate [J]. Journal of Xi'an Jiaotong University, 2007, 41 (4): 463-466.
- [3] Boyd S P, Kim S J, Vandenberghe L, et al. Convex optimization [M]. Cambridge: Cambridge University Press, 2004: 397-447.
- [4] Mohan S S, del Hershenson M M, Boyd S P, et al. Simple accurate expressions for planar spiral inductances [J]. IEEE Journal of Solid-State Circuits, 1999, 34 (10): 1419-1424.
- [5] Yue C P, Ryu C, Lau J, et al. A physical model for planar spiral inductors on silicon [C]// International Electron Devices Meeting. Piscataway, USA: IEEE, 1996: 155-158.
- [6] Zolfaghari A, Chan A, Razavi B. Stacked inductors and transformers in CMOS technology [J]. IEEE Journal of Solid-State Circuits, 2001, 36 (4): 620-628.
- [7] del Hershenson M M, Mohan S S, Boyd S P, et al. Optimization of inductor circuits via geometric programming [C]// Proc of 36th Design Automation Conference. Piscataway, USA: IEEE, 1999: 994-998.

(编辑 刘杨)